

DISEÑO DE PROCESADORES DEDICADOS

Tarea 3

“Diseño y simulación de módulos aritméticos”

Dr. Juan Carlos Herrera Lozada
jlozada@ipn.mx

Instituto Politécnico Nacional



Centro de Innovación y Desarrollo
Tecnológico en Cómputo

CIDETEC

Campo 1: Objetivos.

- El alumno diseñará módulos aritméticos con descripción estructural y comportamental.
- El alumno simulará los diseños en Proteus.

Campo 2: Desarrollo de la tarea.

1. Diseña un módulo sumador – restador de dos números de 3 bits, cuya salida se despliegue en un display a siete segmentos de cátodo común. Utiliza sumador completos conectados en cascada. Simula tu diseño en Proteus.

2. Diseña un multiplicador binario de dos números de 4 bits. Utilizarás 16 sumadores completos conectados en cascada. Investiga cuál es la arquitectura de este módulo en un arreglo matricial. Simula tu diseño en Proteus.

Nota: Se deben incluir los diagramas en este formato (pantalla corriendo con datos de entrada para ambos casos) y enviar por correo electrónico los dos diagramas en Isis de Proteus en un archivo *.zip para su verificación.